

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Osamu TANIGUCHI, et al.**

Serial No.: **Not Yet Assigned**

Filed: **March 1, 2002**

For: **A THIN-FILM CIRCUIT SUBSTRATE AND MANUFACTURING METHOD THEREOF, AND A VIA FORMED SUBSTRATE AND MANUFACTURING METHOD THEREOF**

JC986 U.S. PTO
10/084923
03/01/02

#2
1/21/03
M. Progen

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
Washington, D.C. 20231

March 1, 2002

Sir:

The benefit of the filing dates of the following prior foreign applications are hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2001-262359, filed August 30, 2001

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,
ARMSTRONG, WESTERMAN & HATTORI, LLP



Donald W. Hanson
Reg. No. 27,133

Atty. Docket No.: 020255
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
DWH/lj

PATENT OFFICE
JAPANESE GOVERNMENT



This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: August 30, 2001

Application Number: No. 2001-262359
[ST.10/C]: [JP2001-262359]

Applicant(s): FUJITSU LIMITED

January 25, 2002

Commissioner,
Patent Office

Kouzo Oikawa (Seal)

Certificate No. 2002-3001329

日 本 国 特 許 庁
JAPAN PATENT OFFICE

JC986 U.S. PTO
10/084923
03/01/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 8月30日

出 願 番 号

Application Number:

特願2001-262359

[ST.10/C]:

[JP2001-262359]

出 願 人

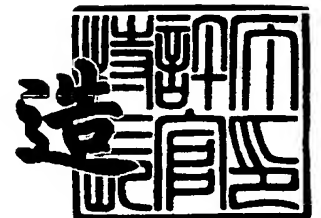
Applicant(s):

富士通株式会社

2002年 1月25日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3001329

【書類名】 特許願

【整理番号】 0140244

【提出日】 平成13年 8月30日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H01L 27/13
H01L 23/48
H01L 23/52

【発明の名称】 薄膜回路基板およびその製造方法、ビア形成基板およびその製造方法

【請求項の数】 9

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 谷口 修

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 宮下 智子

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 山岸 康男

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 表 孝司

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 今中 佳彦

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデン
プレイスタワー32階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 薄膜回路基板およびその製造方法、ビア形成基板およびその製造方法

【特許請求の範囲】

【請求項 1】 第 1 の主面と、前記第 1 の主面に対向する第 2 の主面とを有する半導体基板と、

前記半導体基板上に、前記第 1 の主面に対応して形成された第 1 の絶縁膜と、
前記半導体基板中を、前記第 2 の主面から前記第 1 の主面まで連続して延在するスルーホールと、

前記スルーホールの側壁面を覆う第 2 の絶縁膜と、

前記第 1 の絶縁膜上に形成された薄膜回路とよりなり、

前記スルーホールは、前記第 2 の主面から延在する主部と、前記第 1 の主面近傍に形成されたテーパー部とよりなることを特徴とする薄膜回路基板。

【請求項 2】 前記主部は、実質的に一定の第 1 の径を有し、前記テーパー部は、前記第 1 の径よりも大きい第 2 の径を有することを特徴とする請求項 1 記載の薄膜回路基板。

【請求項 3】 前記第 1 の絶縁膜には、前記スルーホール中において、前記第 2 の絶縁膜の内壁面により画成される開口部が形成されていることを特徴とする請求項 1 記載の薄膜回路基板。

【請求項 4】 薄膜回路基板の製造方法であって、

第 1 および第 2 の主面により画成された半導体基板の前記第 1 の主面上にエッチング停止膜を形成する工程と、

前記半導体基板の前記第 2 の主面上に、レジスト開口部を有するレジストパターンを形成する工程と、

前記半導体基板に対し、前記レジストパターンをマスクにドライエッチングを行い、前記半導体基板中に、前記レジスト開口部に対応したスルーホールを、前記スルーホールにおいて前記エッチング停止膜が露出するように形成する工程と

前記スルーホールの側壁面に絶縁膜を形成する工程と、

前記エッチング停止膜上に薄膜回路を形成する工程と、

前記スルーホールにおいて前記エッチング停止膜を除去し、前記薄膜回路を露出する開口部を形成する工程とよりなることを特徴とする薄膜回路基板の製造方法。

【請求項 5】 前記スルーホールを形成する工程は、前記エッチング停止膜が露出した後、前記ドライエッチングをさらに継続するオーバーエッチング工程を含むことを特徴とする請求項 4 記載の薄膜回路基板の製造方法。

【請求項 6】 前記エッチング停止膜を形成する工程は、前記第 1 の主面上に、前記第 1 の主面上において前記スルーホール形成領域を覆う絶縁膜パターンを、前記エッチング停止膜として形成する工程と、前記絶縁膜パターンをマスクに使い、前記半導体基板の前記第 1 の主面を酸化して、前記絶縁膜パターンの周囲に酸化膜を形成する工程とを含み、

前記酸化膜は、前記オーバーエッチング工程において、オーバーエッチング停止膜として作用することを特徴とする付記 4 記載の薄膜回路基板の製造方法。

【請求項 7】 第 1 の主面と前記第 1 の主面に対向する第 2 の主面とよりなる支持基板と、

前記支持基板中に、前記第 2 の主面から前記第 1 の主面に向って第 1 の径で延在するようにスルーホールと、

前記スルーホールの前記第 1 の主面側端部に形成され、前記第 1 の主面において開口し、径を前記第 1 の主面に向って前記第 1 の径から増大させ、前記第 1 の主面において前記第 1 の径よりも大きな第 2 の径を有するテーパ形状部と、

前記スルーホールを充填する導体プラグと、

前記テーパ形状部上に、前記導体プラグに電氣的に接続されて形成された、前記テーパ形状部に対応するテーパ形状を有するパッド電極とよりなることを特徴とするビア形成基板。

【請求項 8】 前記テーパ形状部は、Si 単結晶面により画成されていることを特徴とする請求項 7 記載のビア形成基板。

【請求項 9】 半導体基板の第 1 の主面上に、異方性エッチングにより、テーパ状の凹部を形成する工程と、

前記テーパ状凹部の表面を覆うように、前記テーパ状凹部に対応した形状の絶縁膜を形成する工程と、

前記半導体基板中に、前記第 1 の主面に対向する第 2 の主面から前記第 1 の主面に向って延在するビアホールを、前記テーパ状凹部に対応して、前記ビアホールが前記テーパ状凹部において前記絶縁膜を露出するように形成する工程と、

前記テーパ状凹部を覆う前記絶縁膜上にパッド電極を、前記テーパ上凹部に対応した形状に形成する工程と、

前記ビアホール底部において、前記露出している絶縁膜を除去し、前記パッド電極を露出する工程と、

前記ビアホールを導体により充填してビアプラグを形成する工程とよりなることを特徴とするビア形成基板の形成方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は一般に電子装置に係り、特に貫通孔を有する薄膜回路基板およびその製造方法に関する。

【 0 0 0 2 】

多数の貫通孔を形成された、いわゆるビア形成基板は、インターポーザ型の部品や多層回路基板、さらには三次元チップ実装技術において重要な構成部品である。

【 0 0 0 3 】

ビア形成基板上には様々な配線パターンが形成されるが、特に配線基板と L S I チップとの間に挿入されるインターポーザ型の部品では、基板上に高誘電体キャパシタあるいは強誘電体キャパシタを形成することにより、L S I チップの高速動作に伴う電源電圧の変動を吸収することが可能である。

【 0 0 0 4 】

さらにこのようなビア形成基板を他の部品と共にパッケージ基板上に形成することによりシステムパッケージを形成することが可能であり、またビア形成基板上に L S I チップを含む様々な部品を配設することにより、マルチチップモジュ

ール (MCM) やシステムインパッケージを形成することが可能である。

【 0 0 0 5 】

【従来の技術】

従来より、セラミック基板をベースとするビア形成基板が市販されている。かかる市販のビア形成基板ではセラミック基板中に多数の貫通孔が形成されており、各々の貫通孔中にはCuあるいはW等の低抵抗金属よりなるビアプラグが埋め込まれている。

【 0 0 0 6 】

図 1 (A), (B) は、かかる従来のビア形成基板の例を示すそれぞれ平面図および断面図である。

【 0 0 0 7 】

図 1 (A) の平面図を参照するに、 Al_2O_3 等よりなるセラミック基板 1 1 中には多数のビアホール 1 2 A が形成されており、各々のビアホール 1 2 A はCuあるいはWよりなるビアプラグ 1 2 B により充填されている。

【 0 0 0 8 】

図 1 (A), (B) のビア形成基板は、主として配線基板と電子部品との間に挿入されて使われるように設計されており、各々のビアプラグ 1 2 B に対応して図 1 (B) の断面図に示すようにNi等よりなる電極パッド 1 3 が形成されている。かかる電極パッド 1 3 上にはんだバンプを形成することにより、ビア形成基板は下側の配線基板と上側の部品とを電氣的に接続する。

【 0 0 0 9 】

図 2 は、かかるビア形成基板上に強誘電体キャパシタを含む薄膜回路を形成した本発明の関連技術によるインターポーザ型の薄膜回路基板の例を示す。かかる強誘電体キャパシタを搭載したインターポーザ型の薄膜回路基板では、LSIチップの直下に最短距離で電源配線を形成でき、電源ラインのインピーダンスが抑制される。その結果、かかるインターポーザ型の薄膜回路基板を使うことにより、クロック速度が非常に高い場合でも、LSIチップの高速動作に伴う電源電圧の変動を効果的に補償することが可能である。

【 0 0 1 0 】

図 2 を参照するに、ビア形成基板 1 1 の上面においては図 1 (B) の電極パッド 1 3 が研磨処理により除去されており、さらに S B T や P Z T などの強誘電体材料あるいは高誘電体材料よりなるキャパシタ絶縁膜 1 4 が前記ビア形成基板 1 1 の上面に形成されている。前記キャパシタ絶縁膜 1 4 上には接地電極を構成する金属層 1 5 が形成されており、さらに前記金属層 1 5 上にはポリイミド保護膜 1 6 が形成されている。

【 0 0 1 1 】

前記ポリイミド保護膜 1 6 中には前記金属層 1 5 およびキャパシタ絶縁膜 1 4 を貫通して前記ビアプラグ 1 2 B の端面を露出するコンタクトホールが形成されており、前記コンタクトホールを充填するようにコンタクトプラグ 1 7 A が形成されている。さらに前記ポリイミド保護膜 1 6 上には、前記コンタクトプラグ 1 7 A の先端に結合して電極パッド 1 7 B が形成されている。

【 0 0 1 2 】

前記電極パッド 1 7 B 上にははんだボール等のバンプ電極 1 8 が形成される。また、前記ビア形成基板 1 1 の下面では、前記電極パッド 1 3 上にばんだボール等のバンプ電極 1 9 が形成されている。

【 0 0 1 3 】

【 発明が解決しようとする課題 】

このような強誘電体あるいは高誘電体よりなるキャパシタ絶縁膜を含む部品では、酸化雰囲気中、少なくとも 7 0 0 ° C 程度の高温度での熱処理が必須であるが、ビアホール 1 2 A 中のビアプラグ 1 2 B は酸化しやすい C u あるいは W よりなるため、酸化の結果ビアプラグ 1 2 B が膨張し、セラミック基板 1 1 表面に形成されている薄膜回路の破壊を引き起こしてしまうおそれもある。またセラミック基板は焼成工程により形成されるが、焼成に伴う収縮の制御が困難で、このためセラミック基板を使ったビア基板上に集積密度の大きい L S I を実装するのは困難である。

【 0 0 1 4 】

これに対し、ビア形成基板として S i 基板を使い、半導体プロセスにより、かかる S i 基板中に微細なビアホールを小さなピッチで形成することが考えられる

。特にドライエッチングプロセスを使うことにより、S i 基板中に非常に大きなアスペクト比の多数のビアホールを、非常に小さな繰り返しピッチで、しかも同時に形成することが可能である。

【 0 0 1 5 】

一方、ドライエッチングプロセスでは、一般にエッチング速度がばらつきやすく、このため多数の深いビアホールをドライエッチングにより形成しようとした場合、深さ方向に±5%程度の加工誤差が生じるのが避けられない。その結果、所定時間のドライエッチングプロセスを終了した時点で、いくつかのビアホールは実際にはS i 基板を貫通していない状態が出現する可能性がある。

【 0 0 1 6 】

このような可能性に鑑み、S i 基板に深いビアホールをドライエッチングにより形成する場合には、ドライエッチング工程の後で基板裏面を研磨し、ビアホールを確実に開口させる必要がある。またS i 基板に深いビアホールをドライエッチングにより形成する場合には、ビアホール底部に針状の構造が形成されやすい。このようなことから、前記研磨工程を行うのは不可欠であると考えられている。しかし、このような研磨工程は、ビア形成基板の費用を増大させてしまう。

【 0 0 1 7 】

さらにこのようにして形成されたS i 基板をベースとするビア形成基板では、ビアホールをC u やWなどの低抵抗金属で充填した後、余分の金属層を除去するためにさらなる研磨工程が必要であるが、その際に前記基板表面を、薄膜回路が形成できるように鏡面研磨する必要がある。しかし、このような鏡面研磨処理はビア形成基板の費用をさらに増大させてしまう。また、このようにして鏡面研磨されたビア形成基板の表面に、薄膜回路の形成に先立って絶縁膜を形成する工程が必要になる。

【 0 0 1 8 】

さらにこのようにして形成されたS i 基板をベースとするビア形成基板では、ビア形成基板上に強誘電体あるいは高誘電体キャパシタを含む薄膜回路を形成した場合、酸化雰囲気中での熱処理に伴ってビアホール中のビアプラグが酸化し、従来のセラミック基板をベースとするビア形成基板と同じ、薄膜回路の破壊ない

し損傷の問題が発生してしまう。また、かかる強誘電体あるいは高誘電体キャパシタを含む薄膜回路を形成する際には、熱処理に伴ってビアプラグが収縮する場合もある。

【 0 0 1 9 】

したがって、S i 基板中にビアホールを形成したビア形成基板に基づいて、前記課題を解決した薄膜回路基板を提供することが要望されている。

【 0 0 2 0 】

ところで、このようなビア形成基板を使ったMCM基板などのL S Iを実装する基板では、L S Iの集積密度の向上および機能の強化に伴って、ビアホールのピッチを減少させる必要がある。

【 0 0 2 1 】

従来のセラミック基板を使ったビア形成基板あるいは樹脂基板を使ったビア形成基板では、ビアホールは機械加工により形成されているため、かかるピッチの減少には限界があったが、ビア形成基板として先に説明したようにS i基板を使い、ビアホールを半導体プロセスを使って形成することにより、これらの限界は打ち破ることが可能である。

【 0 0 2 2 】

一方、このように非常に微細なビアホールを有するビア基板が実現されると、ビア基板上にL S I等の部品をはんだボールを介して実装した場合、部品実装時に、あるいはその後の電子装置の使用時に微細なはんだボールに非常に大きな応力が加わり、接合部の破損等の問題を引き起こす可能性がある。また、S i基板にビアホールをドライエッチング等の半導体プロセスで形成する場合には長時間のエッチングが必要になり、ビア形成基板の費用が増大してしまう。

【 0 0 2 3 】

そこで、本発明は上記の課題を解決した、新規で有用な薄膜回路基板およびその製造方法、およびかかる薄膜回路基板を使った電子装置を提供することを概括的課題とする。

【 0 0 2 4 】

本発明のより具体的な課題は、半導体基板を使ったビア形成基板をベースとす

る薄膜回路基板において、製造工程を簡素化でき、しかも形成される薄膜回路の信頼性を向上させることのできる薄膜回路基板およびその製造方法を提供することにある。

【 0 0 2 5 】

本発明の他の課題は、半導体基板を使ったビア形成基板において、効率良く製造でき、ビア径およびビアピッチを減少させた場合でもバンプ電極に加わる応力を最小化できるビア形成基板およびその製造方法を提供することにある。

【 0 0 2 6 】

【課題を解決するための手段】

本発明は上記の課題を、第1の主面と、前記第1の主面に対向する第2の主面とを有する半導体基板と、前記半導体基板上に、前記第1の主面に対応して形成された第1の絶縁膜と、前記半導体基板中を、前記第2の主面から前記第1の主面まで連続して延在するスルーホールと、前記スルーホールの側壁面を覆う第2の絶縁膜と、前記第1の絶縁膜上に形成された薄膜回路とよりなり、前記スルーホールは、前記第2の主面から延在する主部と、前記第1の主面近傍に形成されたテーパ部とよりなることを特徴とする薄膜回路基板により、または、薄膜回路基板の製造方法であって、第1および第2の主面により画成された半導体基板の前記第1の主面上にエッチング停止膜を形成する工程と、前記半導体基板の前記第2の主面上に、レジスト開口部を有するレジストパターンを形成する工程と、前記半導体基板に対し、前記レジストパターンをマスクにドライエッチングを行い、前記半導体基板中に、前記レジスト開口部に対応したスルーホールを、前記スルーホールにおいて前記エッチング停止膜が露出するように形成する工程と、前記スルーホールの側壁面に絶縁膜を形成する工程と、前記エッチング停止膜上に薄膜回路を形成する工程と、前記スルーホールにおいて前記エッチング停止膜を除去し、前記薄膜回路を露出する開口部を形成する工程とよりなることを特徴とする薄膜回路基板の製造方法により解決する。

【 0 0 2 7 】

本発明によれば、薄膜回路が、あらかじめ鏡面仕上げされている半導体基板表面上に、ビアプラグ形成工程よりも前に形成されるため、従来必要とされていた

、ビアプラグ形成工程後の鏡面研磨工程が省略でき、薄膜回路基板の製造工程が簡素化される。また本発明によれば、薄膜回路がビアプラグ形成工程よりも前に形成されるため、薄膜回路形成工程に強誘電体膜や高誘電体膜の酸化熱処理工程が含まれていても、ビアプラグが酸化したり膨張・収縮することがなく、薄膜回路基板の製造歩留りを向上させることができる。さらにS i 基板等の半導体基板を使い、スルーホールをドライエッチング工程により形成することにより、容易にビア径を微細化し、またビアピッチを微細化することができる。

【 0 0 2 8 】

ところで、スルーホールをこのようにドライエッチングにより形成する際に、本発明はオーバーエッチングを行うことにより、基板中の全てのスルーホールを確実に貫通させることができる。かかるオーバーエッチングを行うと、スルーホールの底部が側方に拡大する傾向が現れるが、本発明はスルーホールの側方への拡大を抑制するため、基板底面にスルーホールを囲むように酸化膜を形成する。このような構成では、前記スルーホールを形成するドライエッチングプロセスが基板底面のエッチング停止膜により阻止された場合、ドライエッチングプロセスの側方へ進行が前記酸化膜により阻止される。このため、スルーホール底部の拡大が抑制され、微細なスルーホールを微細なピッチで繰り返し形成することが可能になる。

【 0 0 2 9 】

本発明はまた、上記の課題を、第1の主面と前記第1の主面に対向する第2の主面とよりなる支持基板と、前記支持基板中に、前記第2の主面から前記第1の主面に向かって第1の径で延在するようにスルーホールと、前記スルーホールの前記第1の主面側端部に形成され、前記第1の主面において開口し、径を前記第1の主面に向かって前記第1の径から増大させ、前記第1の主面において前記第1の径よりも大きな第2の径を有するテーパ形状部と、前記スルーホールを充填する導体プラグと、前記テーパ形状部上に、前記導体プラグに電氣的に接続されて形成された、前記テーパ形状部に対応するテーパ形状を有するパッド電極とよりなることを特徴とするビア形成基板により、または、半導体基板の第1の主面上に、異方性エッチングにより、テーパ状の凹部を形成する工程と、前記テーパ状凹

部の表面を覆うように、前記テーパ状凹部に対応した形状の絶縁膜を形成する工程と、前記半導体基板中に、前記第 1 の主面に対向する第 2 の主面から前記第 1 の主面に向って延在するビアホールを、前記テーパ状凹部に対応して、前記ビアホールが前記テーパ状凹部において前記絶縁膜を露出するように形成する工程と、前記テーパ状凹部を覆う前記絶縁膜上にパッド電極を、前記テーパ上凹部に対応した形状に形成する工程と、前記ビアホール底部において、前記露出している絶縁膜を除去し、前記パッド電極を露出する工程と、前記ビアホールを導体により充填してビアプラグを形成する工程とよりなることを特徴とするビア形成基板の形成方法により、解決する。

【 0 0 3 0 】

本発明によれば、ビア基板中のビアホール端部にテーパ形状部を形成することにより、微細なビアホールであってもその上に比較的径の大きなはんだボールないしバンプ電極を形成することが可能になる。その結果、かかるビア基板上に L S I チップ等の部品を実装した場合に、バンプ電極に加わる応力を緩和することが可能になる。本発明は、特に S i 基板等の半導体基板中に非常に微細なビアホールを非常に微細なピッチで形成したビア基板において有効である。かかるテーパ形状部は、予め半導体基板表面にウェットエッチング等の異方性エッチングにより形成しておくことができる。このようにテーパ形状部を予め形成したおいた場合、スルーホールを形成するドライエッチング工程を短縮することが可能になり、ビア形成基板の製造効率を向上させることができる。

【 0 0 3 1 】

【発明の実施の形態】

〔第 1 実施例〕

図 3 (A) ～ (E) は、本発明の第 1 実施例による薄膜回路基板 2 0 の製造工程を示す。

【 0 0 3 2 】

図 3 (A) を参照するに、厚さが 3 0 0 ～ 6 0 0 μ m の単結晶 S i 基板 2 1 の下主面には S i O₂ 膜よりなるエッチング停止膜 2 2 が C V D 工程により、約 2 μ m の厚さに形成される。

【 0 0 3 3 】

次に図 3 (B) の工程において前記 Si 基板 2 1 の上主面に、数十 μm の径のレジスト開口部 2 3 A が形成されたレジストパターン 2 3 を形成し、図 3 (C) の工程において ICP プラズマエッチング装置中において、前記レジストパターン 2 3 をマスクに前記 Si 基板 2 1 の露出部に、 C_4F_8 および SF_6 エッチングガスを交互に供給することにより、ドライエッチングを約 1 8 0 分間行い、前記 Si 基板 2 1 中を前記上主面から下主面まで延在するスルーホール 2 1 A が形成される。前記スルーホール 2 1 A を形成するドライエッチングは、前記スルーホール 2 1 A においてエッチング停止膜 2 2 が露出した時点で停止する。

【 0 0 3 4 】

図 3 (C) の工程では、同時に多数のスルーホール 2 1 A が形成されるが、スルーホールごとのエッチング速度のばらつきに鑑み、全てのスルーホール 2 1 A が前記上主面から下主面まで貫通するように、エッチングを多少長く実行し、オーバーエッチングを行う。かかるオーバーエッチングの結果、前記スルーホール 2 1 A は大部分垂直な壁面で画成されるものの、前記エッチング停止膜 2 2 に接する底部においては、深さが約 1 0 μm の範囲で径が約 1 0 μm 程度拡大し、オーバーエッチ部 2 1 B が形成される。図 3 (C) よりわかるように、かかるオーバーエッチ部 2 1 B において前記エッチング停止膜 2 2 が露出している。

【 0 0 3 5 】

次に図 3 (D) の工程で前記レジストパターン 2 3 が除去され、さらに 8 0 0 ~ 1 0 5 0 ° C の温度で熱酸化処理工程を行うことにより、あるいは CVD 工程を行うことにより、前記スルーホール 2 1 A の内壁面に、前記オーバーエッチ部 2 1 B も含めて、酸化膜 2 1 C が形成される。また、図 3 (D) の工程では、前記エッチング停止膜 2 2 上に薄膜回路 2 4 が形成されている。かかる薄膜回路 2 4 は、先に図 2 に示したような、強誘電体キャパシタあるいは高誘電体キャパシタを含むものであってもよい。あるいは、かかる薄膜回路 2 4 は多層配線構造であってよい。前記薄膜回路 2 4 が強誘電体キャパシタあるいは高誘電体キャパシタを含む場合、図 3 (D) の工程においては酸化雰囲気中 6 0 0 ~ 8 0 0 ° C での熱処理が行われ、形成された強誘電体膜あるいは高誘電体膜中の酸素欠損補

償処理が行われる。

【 0 0 3 6 】

次に図 3 (E) の工程において前記エッチング停止膜 2 2 が、前記スルーホール 2 1 A を介したドライエッチングにより除去され、前記エッチング停止膜 2 2 中には、前記スルーホール 2 1 A に対応した開口部が形成され、かかる開口部において前記薄膜回路 2 4 が露出される。

【 0 0 3 7 】

図 3 (E) の構造では、前記エッチング停止膜 2 2 は S i 基板 2 1 の下主面に対応したスルーホール 2 1 A 下端部からスルーホール中心部に向って、前記側壁酸化膜 2 1 C の厚さに対応する距離だけ延在しており、前記側壁酸化膜 2 1 C は、その端面がかかるエッチング停止膜 2 2 の延在部の上面に接合している。

【 0 0 3 8 】

前記側壁酸化膜 2 1 C と前記エッチング停止膜 2 2 とが共に酸化膜である場合、図 3 (E) のドライエッチングでは膜 2 1 C と 2 2 との間に実質的なエッチング選択性は確保できないので、エッチング停止膜 2 2 のみが確実に除去されるように、前記側壁酸化膜 2 1 C の膜厚を、前記エッチング停止膜 2 2 の膜厚よりも大きく設定しておくのが好ましい。

【 0 0 3 9 】

図 4 は、このようにして形成された薄膜回路基板 2 0 中にビアプラグを形成し、さらにはんだバンプを形成した構成を示す。

【 0 0 4 0 】

図 4 を参照するに、前記スルーホール 2 1 A 中には、前記スルーホール 2 1 A を充填するように C u や W 等の低抵抗金属よりなるビアプラグ 2 1 D が形成されており、前記ビアプラグ 2 1 D の上端には P t あるいは A u 等よりなるパッド電極 2 1 E が形成されている。

【 0 0 4 1 】

一方、前記薄膜回路 2 4 上にも前記ビアプラグ 2 1 D に対応してパッド電極 2 1 F が形成されており、前記パッド電極 2 1 F 上にははんだボール 2 5 よりなるバンプ電極が形成されている。

【 0 0 4 2 】

図 4 の構成の薄膜回路基板 2 0 では、前記ビアプラグ 2 1 D を形成する以前に薄膜回路 2 4 が形成されているため、ビアプラグ 2 1 D を形成した後で高温酸化雰囲気中で熱処理を行う必要がなく、ビアプラグ 2 1 D の酸化による膨張およびこれに伴い薄膜回路 2 4 の破壊の問題が生じない。

【 0 0 4 3 】

また図 4 の構成の薄膜回路基板 2 0 では、S i 基板を使うことにより、図 1 (A) , (B) のセラミック基板を使う場合のような既存の電極パッドを研磨により除去する工程が不必要で、さらに前記スルーホール 2 1 A 、従ってビアプラグ 2 1 D を非常に小さな径で、しかも非常に小さな繰り返しピッチで形成することが可能になる。

[第 2 実施例]

図 5 (A) ~ 図 6 (F) は、本発明の第 2 実施例による薄膜回路基板 2 0 A の製造方法を示す。ただし図中、先に説明した部分には同一の参照符号を付し、説明を省略する。

【 0 0 4 4 】

図 5 (A) を参照するに、S i 基板 2 1 の下主面上にはエッチング停止膜となる S i N パターン 3 1 が、形成しようとするビアホールに対応して形成され、図 5 (B) の工程において図 5 (A) の S i 基板 2 1 に対して熱酸化処理工程を行う。その結果、図 5 (B) に示すように前記 S i 基板 2 1 の下主面には、前記 S i N パターン 3 1 の両側に熱酸化膜 3 1 が、自己整合的に形成される。

【 0 0 4 5 】

次に図 5 (C) の工程において前記 S i 基板 2 1 の上主面上に、形成しようとするビアホールに対応したレジスト開口部 2 3 A を有するレジスト膜 2 3 が、図 3 (B) の工程と同様にして形成され、図 5 (C) の工程において前記レジスト膜 2 3 をマスクに、前記 S i 基板 2 1 を、前記 S i N エッチング停止パターン 3 1 が露出するまでドライエッチングし、前記 S i 基板 2 1 中に、前記レジスト開口部 2 1 に対応してスルーホール 2 1 A を形成する。先の実施例と同様に、前記

スルーホール 2 1 A を形成するドライエッチング工程では、前記 S i 基板 1 1 中の全てのスルーホール 2 1 A において前記 S i N エッチング停止パターン 3 1 が確実に露出されるように、エッチング時間を延長し、いわゆるオーバーエッチングを行う。

【 0 0 4 6 】

さらに図 6 (E) の工程において前記レジスト膜 2 3 が除去され、図 6 (D) の工程で形成されたスルーホール 2 1 A の内壁面に、熱酸化工程あるいは C V D 工程により、絶縁膜 2 1 C が形成される。また図 6 (E) の工程においては、前記 S i 基板 2 1 の下主面上の熱酸化膜 3 2 上に薄膜回路 2 4 が形成される。前記薄膜回路 2 4 は、先に説明したように強誘電体膜あるいは高誘電体膜を含むものであってもよく、その場合には結晶化および酸素欠損補償のための酸化雰囲気中における熱処理が行われる。

【 0 0 4 7 】

さらに図 6 (F) の工程において前記 S i N エッチングパターン 3 1 が選択エッチング工程により除去され、前記薄膜回路が露出される。

【 0 0 4 8 】

図 6 (F) の工程の後、前記ビアホール 2 1 A を C u や W により充填することにより、図 4 と略同様な薄膜回路基板 2 0 A が得られる。

【 0 0 4 9 】

本実施例では、図 5 (B) の工程において前記 S i 基板 2 1 の下主面上に前記 S i N エッチング停止パターン 3 1 に自己整合して熱酸化膜 3 2 を形成しているため、図 6 (F) の選択エッチングにより、側壁の絶縁層は確保され、確実に開口部をエッチングできる利点がある。

[第 3 実施例]

図 7 は、本発明の第 3 実施例によるビア形成基板 4 0 の構成を示す。

【 0 0 5 0 】

図 7 を参照するに、ビア形成基板 4 0 は厚さが数百ミクロンの S i 基板 4 1 をベースに構成されており、前記 S i 基板 4 1 と、前記 S i 基板 4 1 の上主面に形

成された複数の凹部 4 2 と、前記凹部の各々に対応して形成され、前記凹部の底部から前記 S i 基板 4 1 の下主面まで、前記 S i 基板 4 1 中を貫通するスルーホール 4 3 とよりなり、前記 S i 基板 4 1 の上下主面、前記凹部表面、前記スルーホール内壁面および前記 S i 基板 4 1 の側壁面は、好ましくは熱酸化膜よりなる絶縁膜 4 1 a により覆われている。

【 0 0 5 1 】

前記凹部 4 2 は好ましくは S i の結晶面により画成されており、P t 等よりなる電極パッド 4 2 A が、前記凹部 4 2 の凹面形状に対応して形成されている。また、前記スルーホール 4 3 は P t よりなるビアプラグ 4 3 A により充填されている。前記 S i 基板 4 1 の下主面上には、前記ビアプラグ 4 3 A の各々に対応して、P t 等よりなる電極パッド 4 3 B が形成されている。

【 0 0 5 2 】

図示の例では前記スルーホール 4 3 は $70\ \mu\text{m}$ の深さを有し、前記 S i 基板 4 1 中に $250\ \mu\text{m}$ ピッチで繰り返し形成されている。また前記凹部 4 2 は S i の (1 1 1) 面により画成されており、前記 S i 基板 4 1 の上主面において径が約 $140\ \mu\text{m}$ の開口部を形成する。

【 0 0 5 3 】

前記各々のスルーホール 4 3 は対応する凹部 4 2 とともに、前記 S i 基板 4 1 中を、前記上主面側から下主面側まで連続して延在するビアホールを形成する。

【 0 0 5 4 】

前記凹部 4 2 の各々は、前記電極パッド 4 2 A にコンタクトする半田プラグ 4 4 により充填され、前記半田プラグ 4 4 の先端部には、径が約 $150\ \mu\text{m}$ の半田ボール 4 4 A が形成されている。

【 0 0 5 5 】

図 7 の構成では、かかるビア基板上にパッド電極 5 2 を有する L S I 基板 5 2 が実装されており、前記パッド電極 5 2 の各々が、対応する半田ボール 4 4 A とコンタクトする。

【 0 0 5 6 】

かかる構成では、前記 S i 基板 4 1 の表面に凹部 4 2 を形成しておくことによ

り、前記スルーホール43、従ってビアホールの形成ピッチ自体は非常に小さくても、前記凹部42に対応して比較的大きな径の半田ボール44Aを形成することが可能になる。このような大きな半田ボール44Aを使うことにより、前記LSI基板52に外力が加わったような場合でも、半田ボール44Aおよび半田プラグ44に印加される応力は小さく、コンタクト部の破損等の問題を回避することが可能になる。また、このように凹部42を形成することにより、LSI基板51の実装時に生じる熱応力も、軽減される。

【0057】

本発明では、Si基板41の代わりに他の基板を使うことも可能であるが、ウェットエッチング等の異方性エッチングにより凹部42を正確に形成できることから、前記基板41としてはSi基板をはじめとする半導体基板を使うのが好ましい。

【0058】

なお、図7中に示した数値はあくまでも例示のためのものであり、本発明を限定するものではない。また前記LSI基板の代わりにLSIチップを実装することも可能である。

【0059】

次に、図7のビア形成基板の製造工程を、図8(A)～図9(M)を参照しながら説明する。

【0060】

図8(A)を参照するに、前記Si基板41の(100)表面に熱酸化工程により酸化膜41aが形成される。

【0061】

次に図8(B)の工程において前記Si基板41の上主面上の酸化膜41aがフォトリソグラフィ法によりパターニングされ、形成された開口部において前記Si基板41をKOHを使ったウェットエッチング法により異方性エッチングを行うことにより、前記Si基板41の上主面にSi(111)面により画成された凹部42を繰り返し形成する。

【0062】

次に図 8 (C) の工程において、図 8 (B) の工程で形成された凹部 4 2 の表面に再び熱酸化膜 4 1 a を形成し、さらに図 8 (D) の工程において前記 S i 基板 4 1 の下主面上の酸化膜 4 1 a 中に、前記 S i 基板 4 1 の下主面を露出するように、開口部 4 1 b を、前記凹部 4 2 の各々に対応して形成する。

【 0 0 6 3 】

次に図 8 (E) の工程において、図 8 (D) の S i 基板 4 1 を I C P 型ドライエッチング装置 (図示せず) の反応室に導入し、 C_4F_8 および SF_6 をエッチングガスとしたドライエッチング工程を行うことにより、前記開口部 4 1 b の各々に対応して開口部 4 3 が、前記 S i 基板 4 1 の下主面から上主面に向って延在するように形成される。図 8 (E) に示すようにドライエッチング工程は、前記凹部 4 2 の底面を覆っている酸化膜 4 1 a が露出した時点で停止する。

【 0 0 6 4 】

次に図 8 (F) の工程において図 8 (E) の構造に対して熱酸化工程が行われ、前記開口部 4 3 の側壁面に熱酸化膜が形成される。

【 0 0 6 5 】

さらに図 8 (G) の工程において、図 8 (F) の構造上に P t 膜等の導電膜が堆積され、これをパターニングすることにより、前記凹部 4 2 上に前記電極パッド 4 2 A が形成される。

【 0 0 6 6 】

次に図 9 (H) の工程において、図 8 (F) の構造において前記電極パッド 4 2 A と開口部 4 3 との間に介在していた熱酸化膜 4 1 a がドライエッチング工程により除去され、前記開口部 4 3 の上端部において前記電極パッド 4 2 A が露出する。すなわち、図 9 (H) の段階において、前記開口部 4 3 は S i 基板 4 1 中を延在するスルーホールとなる。

【 0 0 6 7 】

次に図 9 (I) の工程において前記スルーホール 4 3 の各々にビアプラグ 4 3 A が電解めっき等の工程により形成され、さらに前記 S i 基板 4 1 の下面上に、前記ビアプラグ 4 3 A に対応して P t 等よりなる電極パッド 4 3 B が形成されている。

【 0 0 6 8 】

次に図 9 (J) の工程において、前記電極パッド 4 2 A の各々の上に S n - A g 系の半田ペースト 4 3 a をリフトオフ法等により塗布し、さらに熱処理を 2 6 0 ° C で行うことにより塗布された半田をリフローさせ、ビア形成基板を形成する。

【 0 0 6 9 】

さらに図 9 (K) の工程において前記半田ペースト 4 3 a 上に径が 1 5 0 ~ 1 8 0 μ m の半田ボール 4 4 A を転写し、図 9 (L) の工程において、図 9 (J) のビア形成基板上に L S I 基板 5 1 を、前記半田ボール 4 4 A を介して実装する。

【 0 0 7 0 】

さらに図 9 (M) の工程において、図 9 (L) のビア形成基板を、配線基板 6 1 上に、前記電極パッド 4 3 B および半田バンプ 4 5 を介して実装することにより、電子装置を形成する。

【 0 0 7 1 】

本実施例では、先にも説明したように前記ビア形成基板の表面に凹部 4 2 を形成しておくことにより大きな径の半田ボールを使うことが可能で、このため前記 L S I 基板 5 1 に対して外力が加わっても、前記半田ボールに印加される応力を効果的に分散させることができ、損傷を回避することが可能になる。

【 0 0 7 2 】

また本実施例では、前記 S i 基板上に予めウェットエッチング工程等の異方性エッチング工程により予め凹部 4 2 が形成されるため、スルーホール 4 3 A を形成する際のドライエッチング工程が短時間で済む好ましい特徴が得られる。

【 0 0 7 3 】

なお、本発明の薄膜回路基板 2 0 , 2 0 A あるいはビア形成基板 4 0 は、図 9 (M) で説明したインターポーザ型基板のみならず、図 1 0 に示すように配線基板 6 1 上にバンプ電極により実装し、さらにリード線 6 2 で配線を行うことによりシステムパッケージを形成するのに使うことも可能である。

【 0 0 7 4 】

さらに本発明の薄膜回路基板 20, 20Aあるいはビア形成基板 40は、図 1 1に示すようにFRAMやCMOSの集積回路装置を担持することにより、システムインパッケージを形成することも可能である。

【0075】

さらに本発明の薄膜回路基板 20, 20Aあるいはビア形成基板 40は、図 9 (M)の実装構造を積層することにより、3次元集積回路装置を構成することも可能である。

【0076】

以上、本発明を好ましい実施例について説明したが、本発明はかかる特定の構成に限定されるものではなく、特許請求の範囲内において様々な変形・変更が可能である。

【0077】

(付記1) 第1の主面と、前記第1の主面に対向する第2の主面とを有する半導体基板と、

前記半導体基板上に、前記第1の主面に対応して形成された第1の絶縁膜と、
前記半導体基板中を、前記第2の主面から前記第1の主面まで連続して延在するスルーホールと、

前記スルーホールの側壁面を覆う第2の絶縁膜と、

前記第1の絶縁膜上に形成された薄膜回路とよりなり、

前記スルーホールは、前記第2の主面から延在し実質的に一定の第1の径を有する主部と、前記第1の主面近傍に形成され、前記第1の径よりも大きな第2の径を有するテーパ部とよりなることを特徴とする薄膜回路基板。

【0078】

(付記2) 前記第1の絶縁膜には、前記スルーホール中において、前記第2の絶縁膜の内壁面により画成される開口部が形成されていることを特徴とする付記1記載の薄膜回路基板。

【0079】

(付記3) 前記第1の絶縁膜は、前記開口部において、前記スルーホールの側壁面から前記第2の絶縁膜の厚さに対応する距離だけ前記開口部中央に向って

延在し、前記第 2 の主面に一致する側壁面と前記開口部に一致する端面とにより画成される延在部を有し、前記第 2 の絶縁膜は、前記延在部の前記側壁面に衝合することを特徴とする付記 2 記載の薄膜回路基板。

【 0 0 8 0 】

(付記 4) 前記薄膜回路は、前記第 1 の絶縁膜と接する側が平坦面を形成することを特徴とする付記 1 ～ 3 のうち、いずれか一項記載の薄膜回路基板。

【 0 0 8 1 】

(付記 5) 前記薄膜回路には、前記スルーホールに対応して、前記第 1 の絶縁膜に接する側に、前記開口部よりも大きな径の凹部が形成されていることを特徴とする付記 2 または 3 記載の薄膜回路基板。

【 0 0 8 2 】

(付記 6) 前記薄膜回路と前記第 1 の絶縁膜との間には、前記スルーホールに対応して、前記開口部前記開口部よりも大きな径を有する絶縁膜パターンが形成されていることを特徴とする付記 2 または 3 記載の薄膜回路基板。

【 0 0 8 3 】

(付記 7) 前記第 2 の絶縁膜の厚さは、前記第 1 の絶縁膜の厚さよりも大きいことを特徴とする付記 1 ～ 6 のうち、いずれか一項記載の薄膜回路基板。

【 0 0 8 4 】

(付記 8) 前記スルーホールは、導電体により充填されていることを特徴とする付記 1 ～ 7 のうち、いずれか一項記載の薄膜回路装置。

【 0 0 8 5 】

(付記 9) 前記薄膜回路は強誘電体膜あるいは高誘電体膜を含むことを特徴とする付記 1 ～ 8 のうち、いずれか一項記載の薄膜回路基板。

【 0 0 8 6 】

(付記 1 0) 前記第 1 および第 2 の絶縁膜は酸化膜よりなることを特徴とする付記 1 ～ 9 のうち、いずれか一項記載の薄膜回路基板。

【 0 0 8 7 】

(付記 1 1) 薄膜回路基板の製造方法であって、
第 1 および第 2 の主面により画成された半導体基板の前記第 1 の主面上にエッ

チング停止膜を形成する工程と、

前記半導体基板の前記第 2 の主面上に、レジスト開口部を有するレジストパターンを形成する工程と、

前記半導体基板に対し、前記レジストパターンをマスクにドライエッチングを行い、前記半導体基板中に、前記レジスト開口部に対応したスルーホールを、前記スルーホールにおいて前記エッチング停止膜が露出するように形成する工程と

前記スルーホールの側壁面に絶縁膜を形成する工程と、

前記エッチング停止膜上に薄膜回路を形成する工程と、

前記スルーホールにおいて前記エッチング停止膜を除去し、前記薄膜回路を露出する開口部を形成する工程とよりなることを特徴とする薄膜回路基板の製造方法。

【 0 0 8 8 】

(付記 1 2) 前記スルーホールを形成する工程は、前記エッチング停止膜が露出した後、前記ドライエッチングをさらに継続するオーバーエッチング工程を含むことを特徴とする付記 1 1 記載の薄膜回路基板の製造方法。

【 0 0 8 9 】

(付記 1 3) 前記エッチング停止膜を形成する工程は、前記第 1 の主面上に、前記第 1 の主面上において前記スルーホール形成領域を覆う絶縁膜パターンを、前記エッチング停止膜として形成する工程と、前記絶縁膜パターンをマスクに、前記半導体基板の前記第 1 の主面を酸化して、前記絶縁膜パターンの周囲に酸化膜を形成する工程とを含み、

前記酸化膜は、前記オーバーエッチング工程において、オーバーエッチング停止膜として作用することを特徴とする付記 1 2 記載の薄膜回路基板の製造方法。

【 0 0 9 0 】

(付記 1 4) 前記エッチング停止膜は SiN 膜または SiO_2 膜よりなることを特徴とする付記 1 1 ~ 1 3 のうち、いずれか一項記載の薄膜回路基板の製造方法。

【 0 0 9 1 】

(付記 1 5) 前記薄膜回路は強誘電体膜あるいは高誘電体膜を含み、前記薄膜回路を形成する工程は、酸化雰囲気中での熱処理工程を含むことを特徴とする付記 1 1 ~ 1 4 のうち、いずれか一項記載の薄膜回路基板の製造方法。

【 0 0 9 2 】

(付記 1 6) 前記エッチング停止膜除去工程の後、前記前記スルーホールに導体を充填する工程をさらに含むことを特徴とする付記 1 1 ~ 1 5 のうち、いずれか一項記載の薄膜回路基板の製造方法。

【 0 0 9 3 】

(付記 1 7) 第 1 の主面と前記第 1 の主面に対向する第 2 の主面とよりなる支持基板と、

前記支持基板中に、前記第 2 の主面から前記第 1 の主面に向って第 1 の径で延在するようにスルーホールと、

前記スルーホールの前記第 1 の主面側端部に形成され、前記第 1 の主面において開口し、径を前記第 1 の主面に向って前記第 1 の径から増大させ、前記第 1 の主面において前記第 1 の径よりも大きな第 2 の径を有するテーパ形状部と、

前記スルーホールを充填する導体プラグと、

前記テーパ形状部上に、前記導体プラグに電氣的に接続されて形成された、前記テーパ形状部に対応するテーパ形状を有するパッド電極とよりなることを特徴とするビア形成基板。

【 0 0 9 4 】

(付記 1 8) 前記パッド電極上にバンプ電極をさらに有することを特徴とする付記 1 7 記載のビア形成基板。

【 0 0 9 5 】

(付記 1 9) 前記基板は S i 基板よりなることを特徴とする付記 1 7 または 1 8 記載のビア形成基板。

【 0 0 9 6 】

(付記 2 0) 前記テーパ形状部は、S i 結晶面により画成されていることを特徴とする付記 1 9 記載のビア形成基板。

【 0 0 9 7 】

(付記 2 1) 前記第 2 の径は、前記第 1 の径よりも二倍以上大きいことを特徴とする付記 1 7 ~ 2 0 のうち、いずれか一項記載のビア形成基板。

【 0 0 9 8 】

(付記 2 2) 前記基板上には薄膜回路が形成されていることを特徴とする付記 1 7 ~ 2 1 のうち、いずれか一項記載のビア形成基板。

【 0 0 9 9 】

(付記 2 3) 半導体基板の第 1 の主面上に、異方性エッチングにより、テーパ状の凹部を形成する工程と、

前記テーパ状凹部の表面を覆うように、前記テーパ状凹部に対応した形状の絶縁膜を形成する工程と、

前記半導体基板中に、前記第 1 の主面に対向する第 2 の主面から前記第 1 の主面に向かって延在するビアホールを、前記テーパ状凹部に対応して、前記ビアホールが前記テーパ状凹部において前記絶縁膜を露出するように形成する工程と、

前記テーパ状凹部を覆う前記絶縁膜上にパッド電極を、前記テーパ上凹部に対応した形状に形成する工程と、

前記ビアホール底部において、前記露出している絶縁膜を除去し、前記パッド電極を露出する工程と、

前記ビアホールを導体により充填してビアプラグを形成する工程とよりなることを特徴とするビア形成基板の形成方法。

【 0 1 0 0 】

(付記 2 4) 前記半導体基板は S i 基板よりなり、前記異方性エッチング工程は、ウェットエッチングにより実行されることを特徴とする付記 2 3 記載のビア形成基板の形成方法。

【 0 1 0 1 】

(付記 2 5) 前記ビアホール形成工程は、ドライエッチングにより実行されることを特徴とする付記 2 3 または 2 4 記載のビア形成基板の形成方法。

【 0 1 0 2 】

(付記 2 6) 前記ビアプラグ形成工程は、前記導体のめっき工程を含むことを特徴とする付記 2 3 ~ 2 5 のうち、いずれか一項記載のビア形成基板の形成方

法。

【 0 1 0 3 】

(付記 2 7) 前記導体は P t または A u よりなることを特徴とする付記 2 3 ～ 2 6 のうち、いずれか一項記載のビア形成基板の形成方法。

【 0 1 0 4 】

(付記 2 8) さらに、前記電極パッド上にはんだペーストを形成する工程と、前記はんだペースト上にはんだボールを設ける工程とを含むことを特徴とする付記 2 3 ～ 2 7 のうち、いずれか一項記載のビア形成基板の形成方法。

【 0 1 0 5 】

(付記 2 9) さらに前記はんだボールを加熱することにより、前記電極パッド上にバンプ電極を形成する工程を含むことを特徴とする付記 2 8 記載のビア形成基板の形成方法。

【 0 1 0 6 】

【発明の効果】 本発明によれば、薄膜回路があらかじめ鏡面仕上げされている半導体基板表面上に、ビアプラグ形成工程よりも前に形成されるため、従来必要とされていた、ビアプラグ形成工程後の鏡面研磨工程が省略でき、薄膜回路基板の製造工程が簡素化される。また本発明によれば、薄膜回路がビアプラグ形成工程よりも前に形成されるため、薄膜回路形成工程に強誘電体膜や高誘電体膜の酸化熱処理工程が含まれていても、ビアプラグが酸化したり膨張・収縮することがなく、薄膜回路基板の製造歩留りを向上させることができる。さらに S i 基板等の半導体基板を使い、スルーホールをドライエッチング工程により形成することにより、容易にビア径を微細化し、またビアピッチを微細化することができる。

【 0 1 0 7 】

本発明によれば、ビア基板中のビアホール端部にテーパ形状部を形成することにより、微細なビアホールであってもその上に比較的径の大きなはんだボールないしバンプ電極を形成することが可能になる。その結果、かかるビア基板上に L S I チップ等の部品を実装した場合に、バンプ電極に加わる応力を緩和することが可能になる。本発明は、特に S i 基板等の半導体基板中に非常に微細なビアホ

ールを非常に微細なピッチで形成したビア基板において有効である。かかるテーパ形状部は、予め半導体基板表面にウェットエッチング等の異方性エッチングにより形成しておくことができる。このようにテーパ形状部を予め形成したおいた場合、スルーホールを形成するドライエッチング工程を短縮することが可能になり、ビア形成基板の製造効率を向上させることができる。

【図面の簡単な説明】

【図 1】

(A), (B) は、従来の薄膜回路基板を示す平面図および断面図である。

【図 2】

図 1 の薄膜回路基板を示す拡大断面図である。

【図 3】

(A) ~ (E) は、本発明の第 1 実施例による薄膜回路基板の製造工程を示す図である。

【図 4】

本発明の第 1 実施例による薄膜回路基板の構成を示す断面図である。

【図 5】

(A) ~ (C) は、本発明の第 2 実施例による薄膜回路基板の製造工程を示す図（その 1）である。

【図 6】

(D) ~ (F) は、本発明の第 2 実施例による薄膜回路基板の製造工程を示す図（その 2）である。

【図 7】

本発明の第 3 実施例によるビア形成基板の構成を示す図である。

【図 8】

(A) ~ (G) は、図 7 のビア形成基板の製造工程を示す図（その 1）である。

【図 9】

(H) ~ (M) は、図 7 のビア形成基板の製造工程を示す図（その 2）である。

【図 1 0】

本発明の薄膜回路基板あるいはビア形成基板により構成されるシステムパッケージの例を示す図である。

【図 1 1】

本発明の薄膜回路基板あるいはビア形成基板により構成されるシステムインパッケージの例を示す図である。

【符号の説明】

- 1 1 セラミック基板
- 1 2 A ビアホール
- 1 2 B ビアプラグ
- 1 3 電極パッド
- 1 4 強誘電体・高誘電体膜
- 1 5 接地電極層
- 1 6 ポリイミド保護膜
- 1 7 A コンタクトプラグ
- 1 7 B 電極パッド
- 1 8, 1 9 半田ボール
- 2 0, 2 1 A 薄膜回路基板
- 2 1 Si 基板
- 2 1 A スルーホール
- 2 1 B スルーホール底部
- 2 1 C 絶縁膜
- 2 1 D ビアプラグ
- 2 1 E, 2 1 F 電極パッド
- 2 2 エッチング停止膜
- 2 3 レジスト膜
- 2 3 A レジスト開口部
- 2 4 薄膜回路
- 2 5 半田ボール

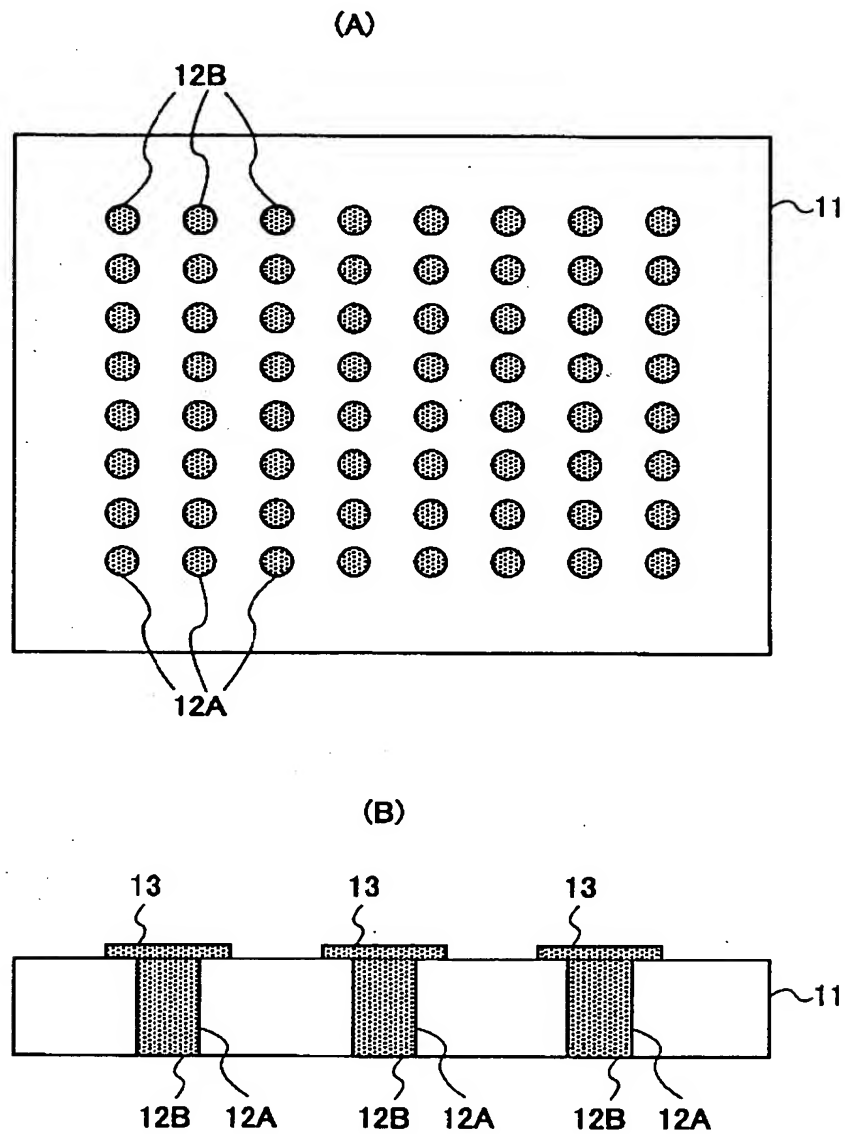
- 3 1 S i N パターン
- 3 2 熱酸化膜
- 4 0 ビア形成基板
- 4 1 S i 基板
- 4 2 凹部
- 4 2 A 絶縁膜
- 4 3 スルーホール
- 4 3 A ビアプラグ
- 4 3 B 電極パッド
- 4 4 A 半田プラグ
- 4 4 B 半田ボール
- 5 1 L S I 基板
- 6 1 回路基板

【書類名】

図面

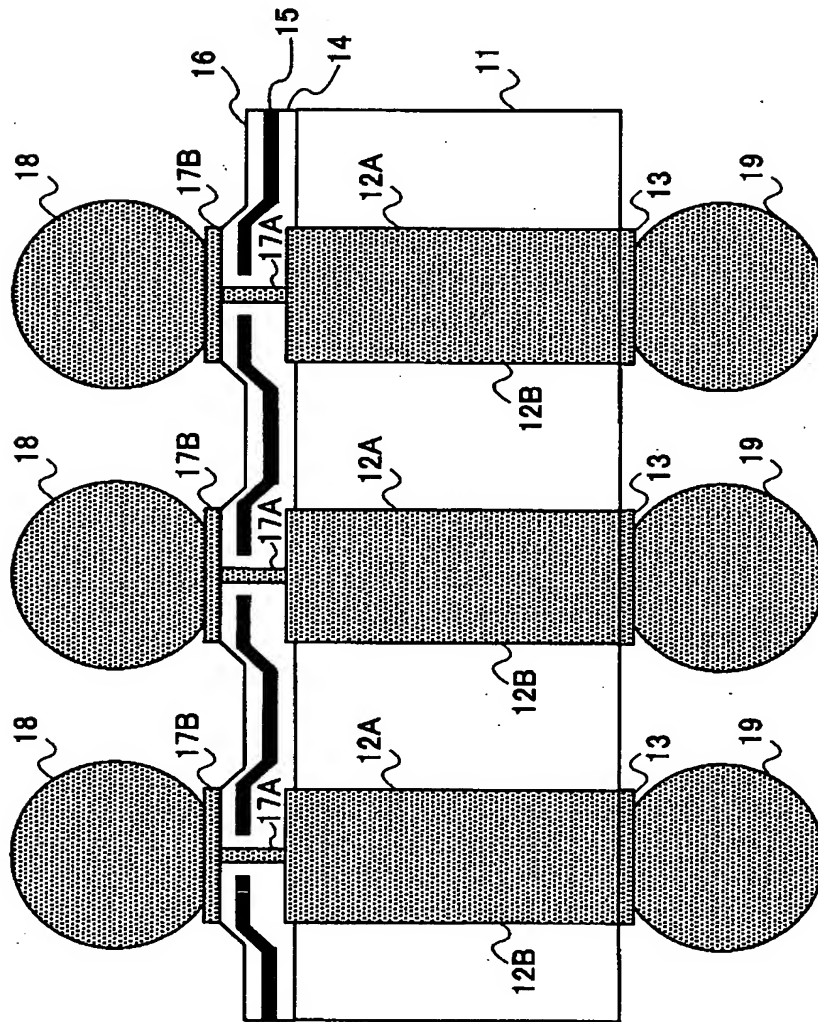
【図 1】

(A) , (B) は、従来の薄膜回路基板を示す平面図および断面図



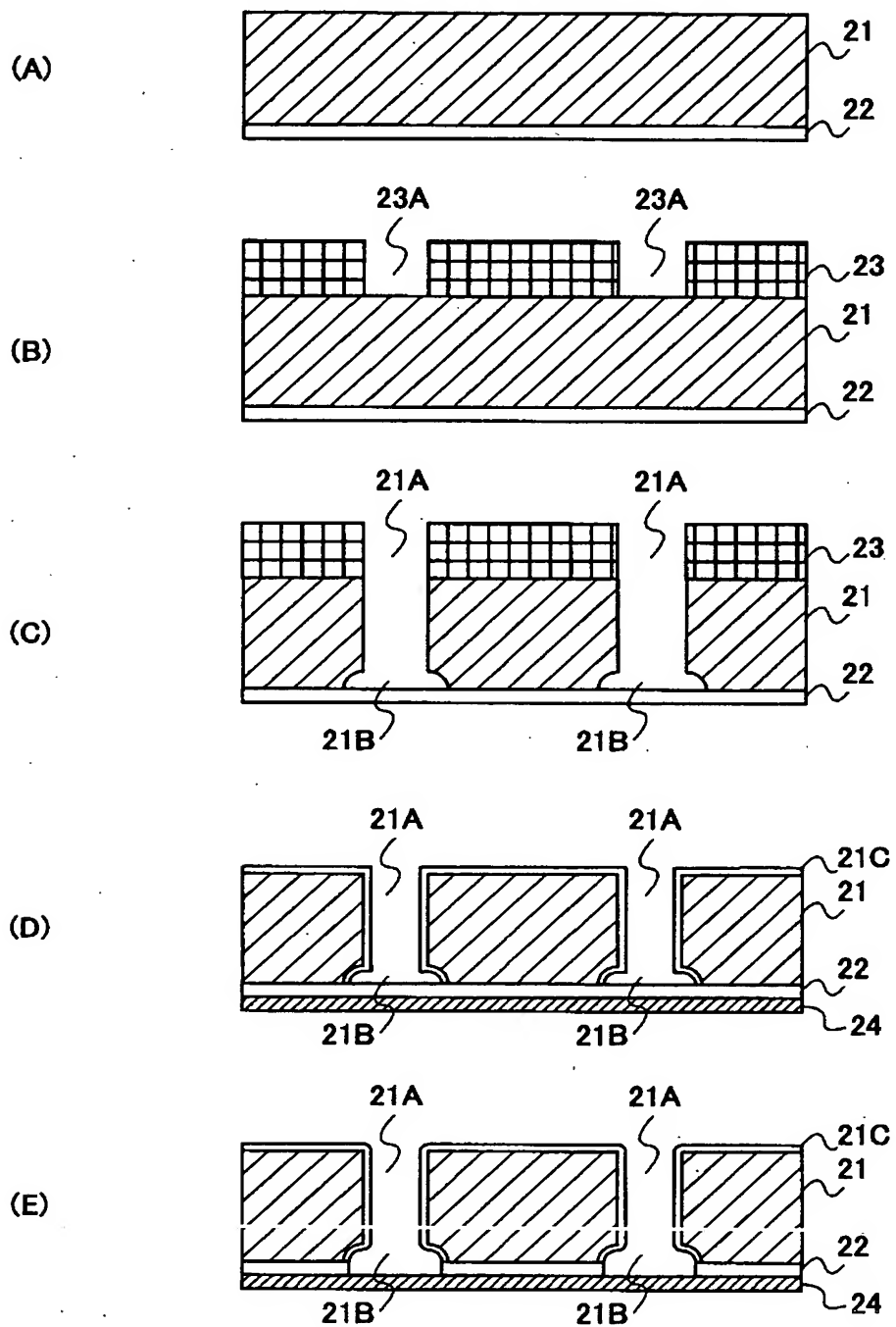
【図 2】

図 1 の薄膜回路基板を示す拡大断面図



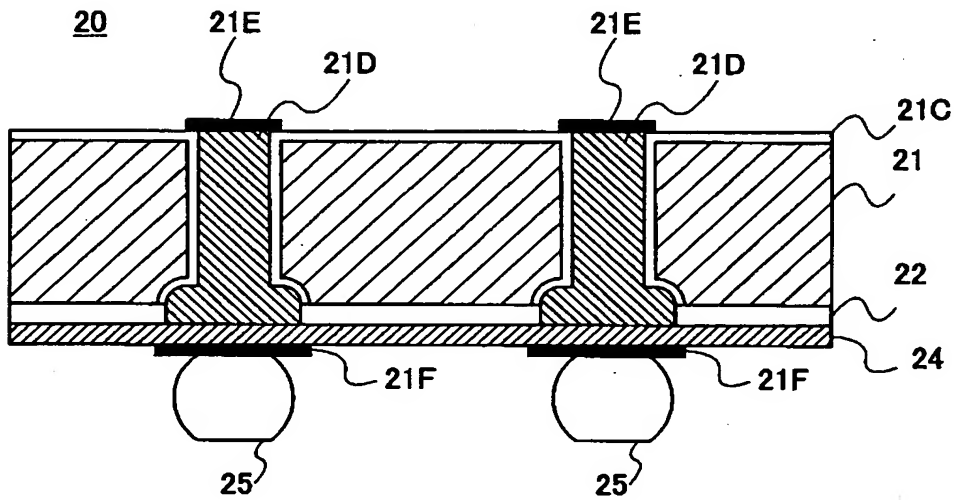
【図 3】

(A) ~ (E) は、本発明の第1実施例による
薄膜回路基板の製造工程を示す図



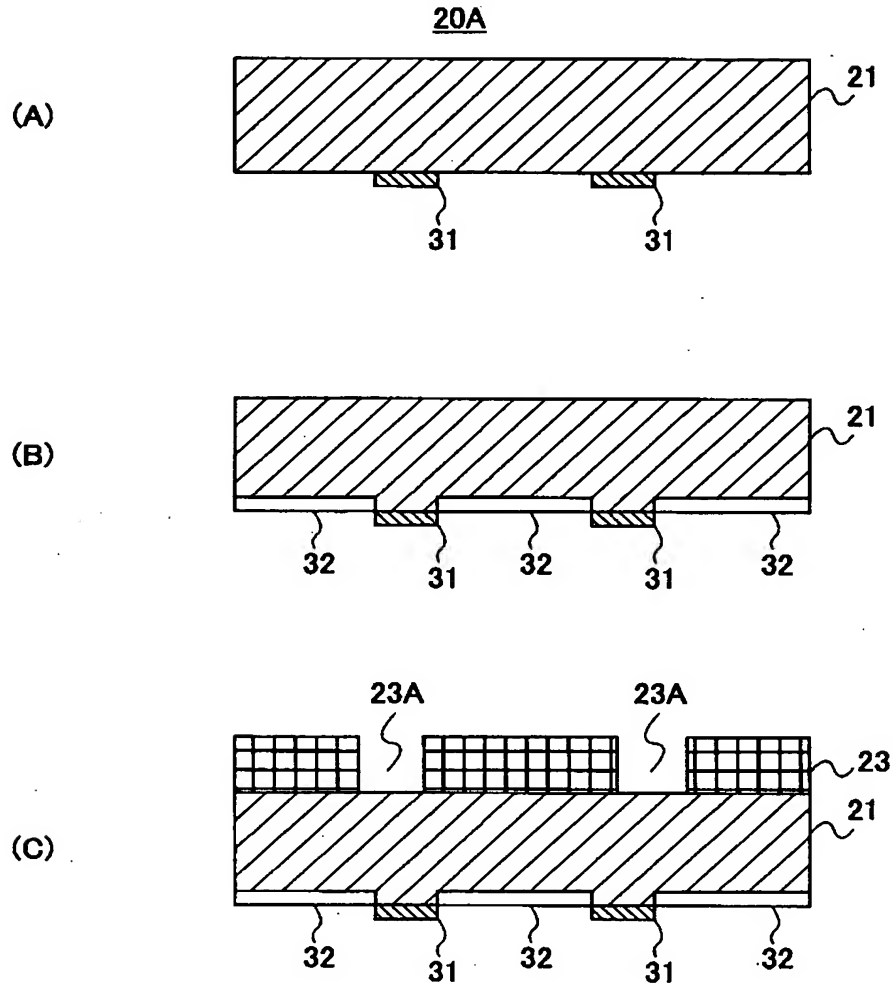
【図 4】

本発明の第 1 実施例による薄膜回路基板の構成を示す断面図



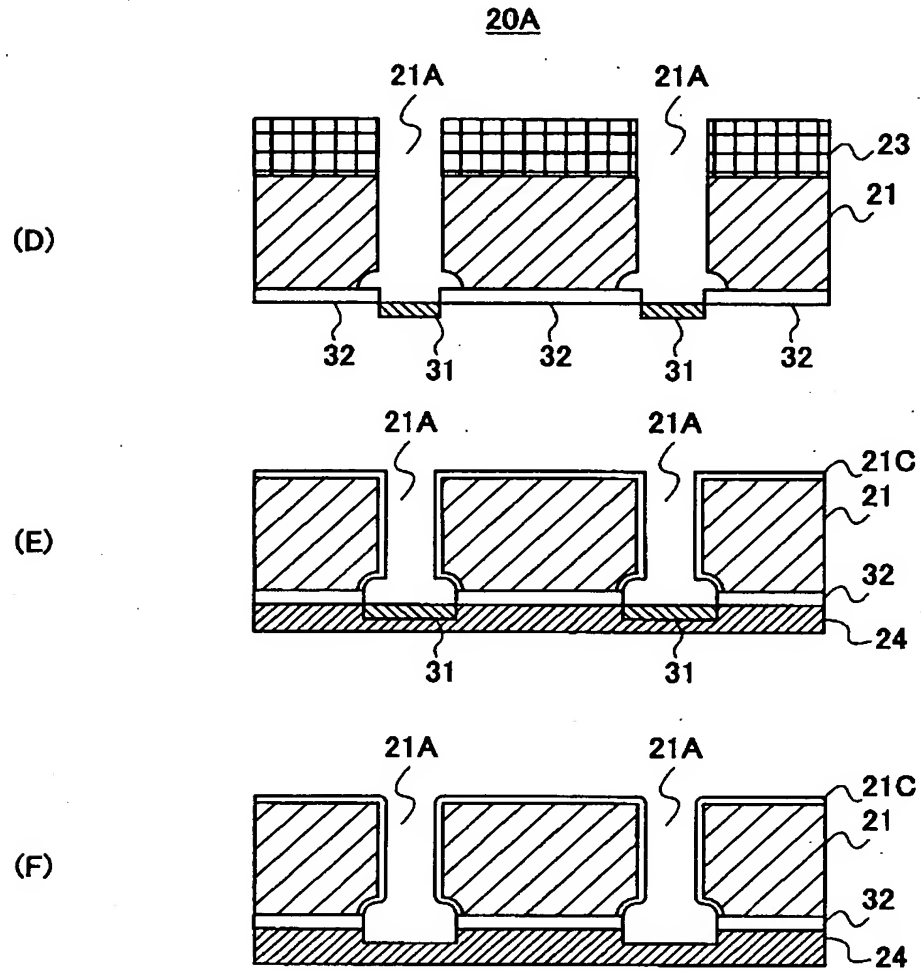
【図 5】

(A) ~ (C) は、本発明の第 2 実施例による
薄膜回路基板の製造工程を示す図(その 1)



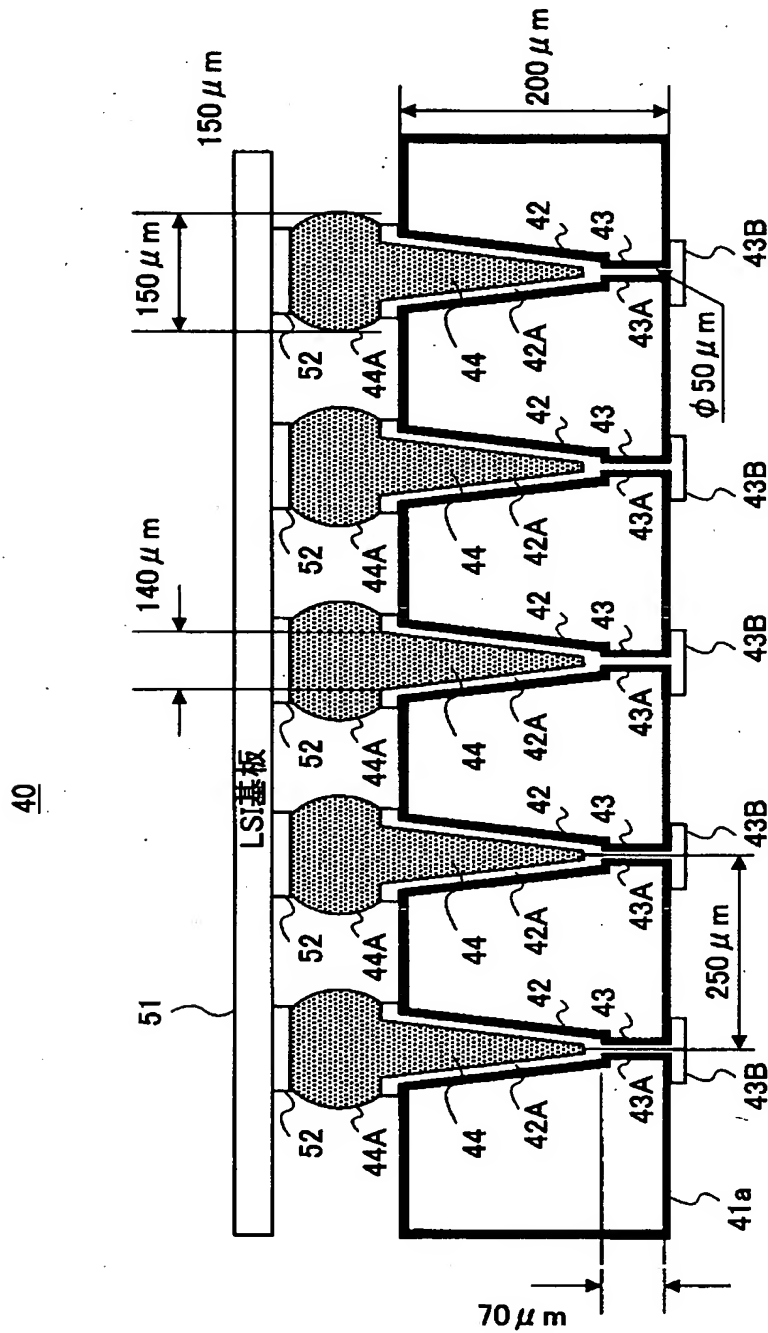
【図 6】

(D) ~ (F) は、本発明の第 2 実施例による
薄膜回路基板の製造工程を示す図（その 2）



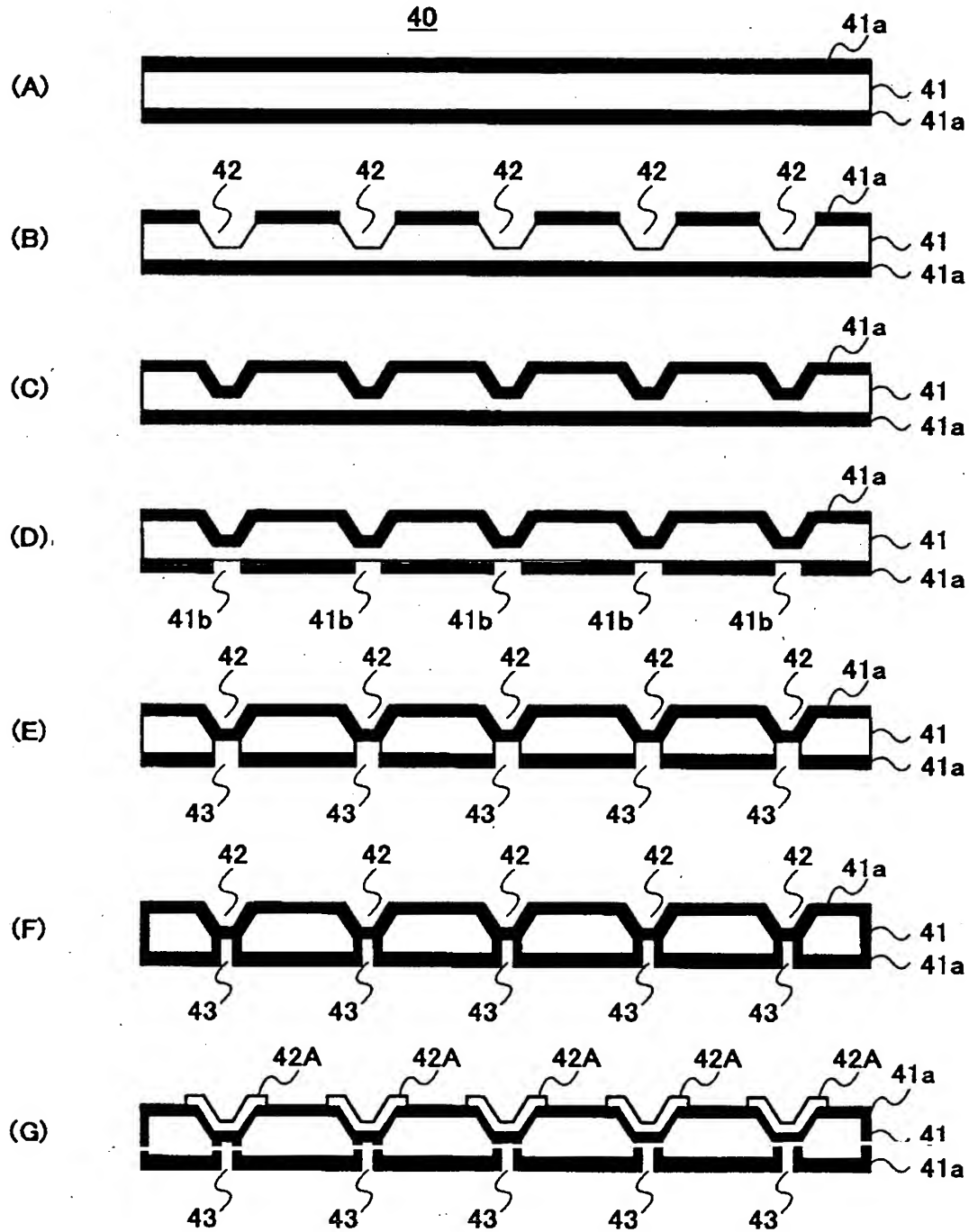
【図7】

本発明の第3実施例によるビア形成基板の構成を示す図



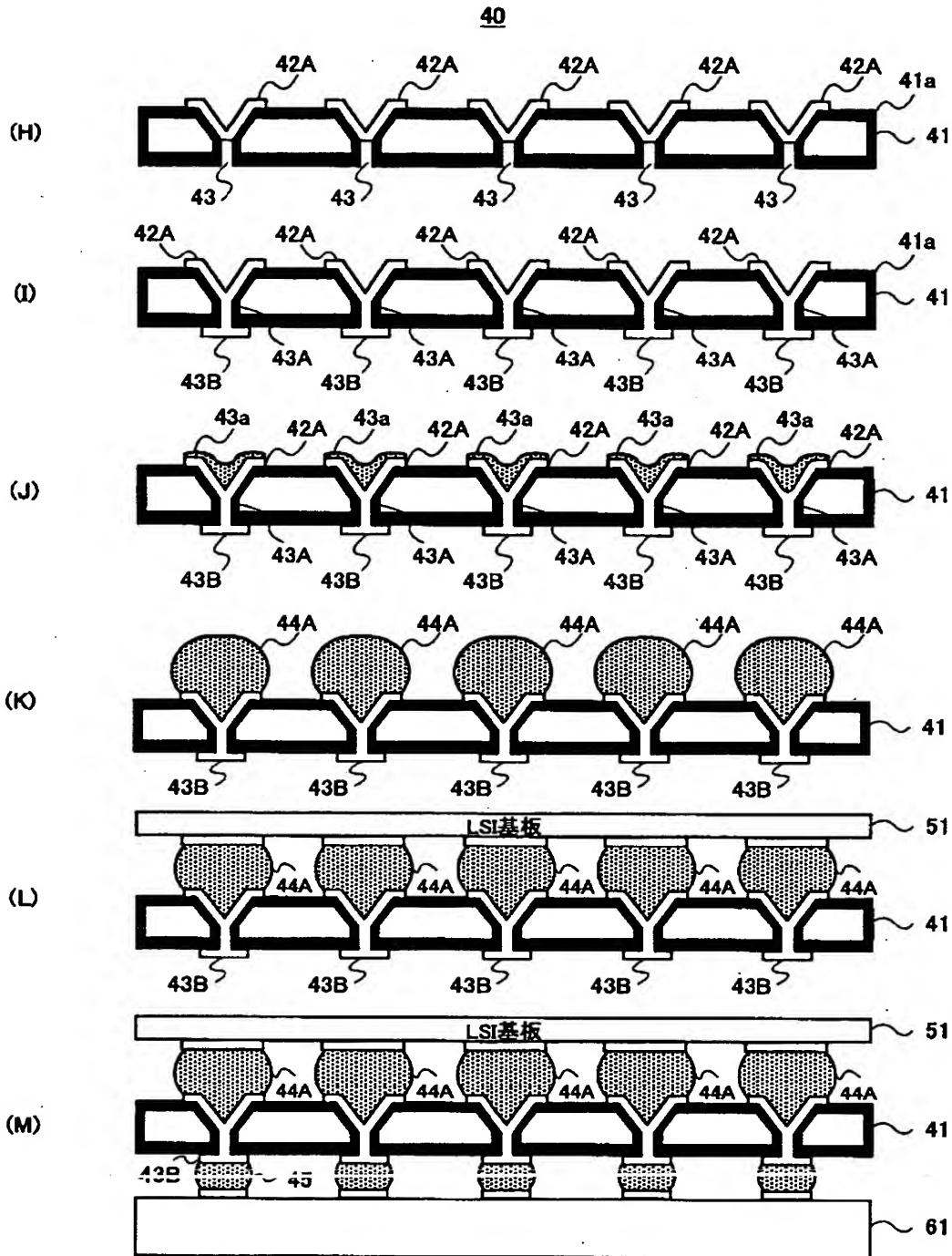
【図 8】

(A) ~ (G) は、図 7 のビア形成基板の製造工程を示す図（その 1）



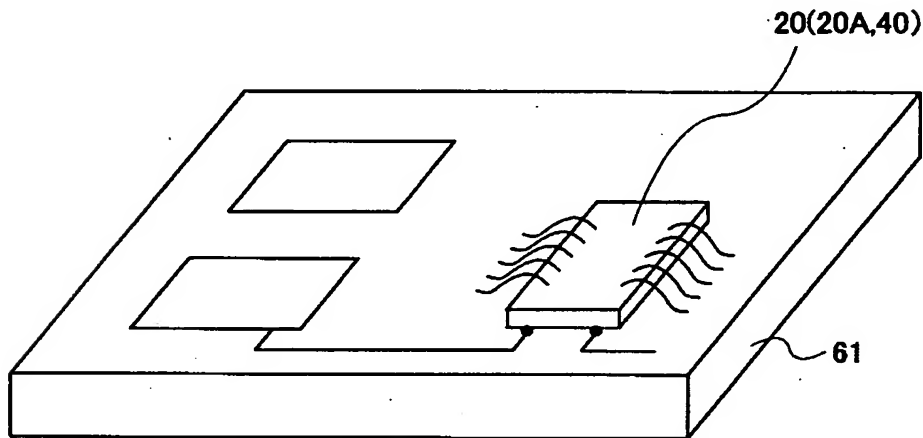
【図 9】

(H) ~ (M) は、図 7 のビア形成基板の製造工程を示す図（その 2）



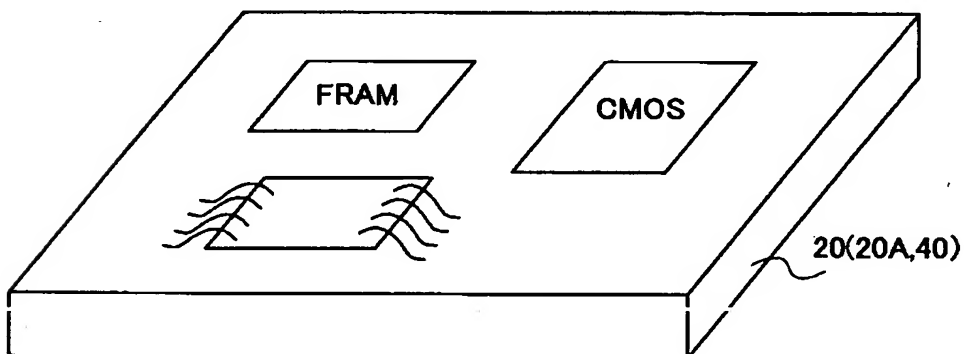
【図 1 0】

本発明の薄膜回路基板あるいはビア形成基板により
構成されるシステムパッケージの例を示す図



【図 1 1】

本発明の薄膜回路基板あるいはビア形成基板により
構成されるシステムインパッケージの例を示す図



【書類名】 要約書

【要約】

【課題】 微細なビアプラグを微細なピッチで形成した、信頼性の高い薄膜回路基板あるいはビア形成基板を提供する。

【解決手段】 Si 基板上に、エッチングストoppaとして作用する絶縁膜を形成する。次に、前記 Si 基板中にビアホールを、半導体プロセスを使って前記エッチングストoppa膜が露出するまで形成する。さらに前記絶縁膜上に薄膜回路を形成した後、前記ビアホールにおいて前記絶縁膜を除去して薄膜回路を露出させる。必要に応じて薄膜回路を熱処理した後、ビアホールを導体で充填し、さらにパンプ電極を形成する。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日
[変更理由] 住所変更
住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社